

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064033

(43)Date of publication of application : 07.03.1997

(51)Int. Cl.

H01L 21/3205

(21)Application number : 07-236219

(71)Applicant : SONY CORP

(22)Date of filing : 22.08.1995

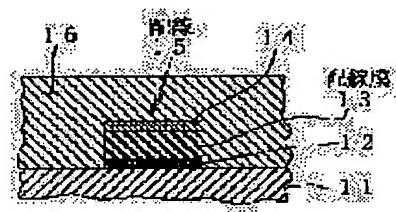
(72)Inventor : HOSHINO KAZUHIRO  
KENMOTSU HIDENORI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device having high electromigration resistance at the final product stage by isothermally protracting a sealed semiconductor chip at a specific temperature, and segregating additive in the interconnection of the chip in the crystal grain boundary of the interconnection.

SOLUTION: A sealed semiconductor chip is isothermally protracted at 100 to 300° C, and additive in the interconnection 15 of the chip is segregated in the crystal grain boundary of the interconnection 15. For example, a TiN-Ti film 12 as a barrier metal, an Al-0.5% Cu film as an interconnection film 13 and a TiN film 14 as a reflection preventive film are formed on the SiO<sub>2</sub> film 11 as an interlayer insulating film. Then, the film 14, the film 13 and the film 12 are etched to the pattern of the interconnection 15, and an SiN film 16 of a surface protective film is deposited. Thereafter, a mold-sealed semiconductor chip is inserted into a constant temperature oven, and isothermally protracted at 200° C for 100 hours to obtain a completed product.



## LEGAL STATUS

[Date of request for examination] 05.12.2000

[Date of sending the examiner's decision of rejection] 07.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64033

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 21/3205

識別記号

片内整理番号

F I

H 0 1 L 21/88

技術表示箇所

M

審査請求 未請求 請求項の数3 F D (全 3 頁)

(21) 出願番号 特願平7-236219  
(22) 出願日 平成7年(1995)8月22日

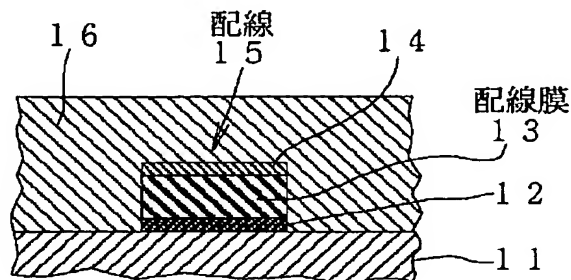
(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 星野 和弘  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(72) 発明者 監物 秀憲  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 製造コストを大幅には増大させることなく、最終製品段階で高いエレクトロマイグレーション耐性を有する半導体装置を製造する。

【解決手段】 封止された半導体チップに100℃以上300℃以下の恒温放置処理を行って、半導体チップにおける配線15中の添加物をこの配線15の結晶粒界に偏析させる。このため、封止工程の前までで配線15の結晶粒界に偏析していた添加物の化合物が封止工程における熱処理で配線15中に固溶しても、この添加物の化合物が封止工程後の恒温放置処理で再び配線15の結晶粒界に偏析して、エレクトロマイグレーション耐性が向上する。



1

## 【特許請求の範囲】

【請求項1】 封止された半導体チップに100℃以上300℃以下の恒温放置処理を行って、前記半導体チップにおける配線中の添加物をこの配線の結晶粒界に偏析させることを特徴とする半導体装置の製造方法。

【請求項2】 前記配線の材料がAlまたはCuまたはAgまたはWを主成分とする合金であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記添加物がCu、Ti、Mg、Si、Mo、Scの中から選ばれることを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、素子間を電氣的に接続する配線に添加物が含まれている半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体装置の配線としては、Alを主成分としてCu、Si、Ti等の添加物を含むAl合金配線が一般的に用いられている。そして、例えばAlにCuを添加した合金配線では、このAl合金配線を形成した後に150℃程度の温度で100時間の恒温放置処理を行ってAlの結晶粒界にCuAl<sub>2</sub>を偏析させ、電子流によるAl原子の粒界拡散を抑制して、Al合金配線のエレクトロマイグレーション耐性を高めることが考えられている（例えば、信学技報SDM93-200(1994-01)p.75-80）。

【0003】

【発明が解決しようとする課題】ところが、配線を形成し更に表面保護膜までを形成する前処理工程を終了し、半導体ウェハを半導体チップに分割した後、各半導体チップを封止するが、この封止工程で恒温放置処理よりも高温の熱処理が半導体チップに加えられる。例えば、金メッキしたリードフレームに半導体チップを搭載するためにAu-Si共晶法ダイボンディングを用いると、AuとSiとの共晶温度である370℃よりも高い400℃程度の熱処理が半導体チップに加えられる。

【0004】このため、上述の従来例では、Al合金配線を形成した後の恒温放置処理によってAlの結晶粒界にCuAl<sub>2</sub>を偏析させていても、封止工程における熱処理でCuAl<sub>2</sub>が配線中に再び固溶する。従って、この従来例では、最終製品段階で高いエレクトロマイグレーション耐性を有する半導体装置を製造することが困難であった。

【0005】

【課題を解決するための手段】請求項1の半導体装置の製造方法は、封止された半導体チップに100℃以上300℃以下の恒温放置処理を行って、前記半導体チップにおける配線中の添加物をこの配線の結晶粒界に偏析させることを特徴としている。

2

【0006】請求項2の半導体装置の製造方法は、請求項1の半導体装置の製造方法において、前記配線の材料がAlまたはCuまたはAgまたはWを主成分とする合金であることを特徴としている。

【0007】請求項3の半導体装置の製造方法は、請求項1の半導体装置の製造方法において、前記添加物がCu、Ti、Mg、Si、Mo、Scの中から選ばれることを特徴としている。

【0008】本発明による半導体装置の製造方法では、封止工程の前までで配線の結晶粒界に偏析していた添加物の化合物が封止工程における熱処理で配線中に固溶しても、この添加物の化合物が封止工程後の恒温放置処理で再び配線の結晶粒界に偏析する。

【0009】

【発明の実施の形態】以下、本発明の第1～第3具体例を、図1を参照しながら説明する。第1具体例は、配線の材料としてAl-0.5%Cuを使用する場合である。この第1具体例では、層間絶縁膜としてのSiO<sub>2</sub>膜11上に、膜厚が70nmである上層側のTiN膜と膜厚が30nmである下層側のTi膜とから成るバリアメタル膜としてのTiN/Ti膜12を、下記の条件のスパッタ法で形成する。

【0010】TiNのスパッタ条件

ガス	Ar/N <sub>2</sub> = 30/80 sccm
圧力	0.4 Pa
直流電力	5 kW
ウェハ加熱温度	150℃

【0011】Tiのスパッタ条件

ガス	Ar = 100 sccm
圧力	0.4 Pa
直流電力	5 kW
ウェハ加熱温度	150℃

【0012】その後、配線膜13として、膜厚が500nmであるAl-0.5%Cu膜を下記の条件のスパッタ法で形成する。

Al-Cuのスパッタ条件

ガス	Ar = 100 sccm
圧力	0.4 Pa
直流電力	5 kW
ウェハ加熱温度	150℃

【0013】その後、反射防止膜として、膜厚が30nmであるTiN14膜を下記の条件のスパッタ法で形成する。

TiNのスパッタ条件

ガス	Ar/N <sub>2</sub> = 30/80 sccm
圧力	0.4 Pa
直流電力	5 kW
ウェハ加熱温度	150℃

【0014】次に、TiN14膜、配線膜13及びTiN/Ti膜12を配線15のパターンに連続的にエッチ

50

ングし、表面保護膜であるSiN膜16をプラズマCVD法で堆積させる。ここまでの前処理工程が終了した後、半導体ウェハの裏面の酸化膜を除去してダイボンディング時に接着し易くしたりするために半導体ウェハの裏面を研削し、ダイシングを行い、更に半導体ウェハを各半導体チップに分割する。

【0015】その後、400℃程度で60秒間の既述のAu-Si共晶法ダイボンディングと、250℃で30秒間のワイヤボンディングと、175℃で40秒間のモールド封止とを順次に行う。なお、ワイヤボンディングにおける1本のワイヤ当たりの時間は0.2秒である。

【0016】そして、封止した半導体チップを恒温槽に挿入して200℃で100時間の恒温放置処理を行った後、半導体チップを恒温槽から取り出して、完成品を得る。この結果、封止工程における熱処理でCuAl<sub>2</sub>が配線膜13中に固溶しても、その後の恒温放置処理でCuAl<sub>2</sub>が再び配線膜13の結晶粒界に偏析するので、最終製品段階で高いエレクトロマイグレーション耐性を有する半導体装置を製造することができる。

【0017】次に、第2具体例を説明する。この第2具体例は、膜厚が500nmのCu-1%Ti膜を下記の条件のスパッタ法で形成して配線膜13として使用するが、この配線膜13の形成以外は上述の第1具体例と実質的に同様の工程を実行する。

【0018】Cu-Tiのスパッタ条件

ガス Ar=100sccm  
圧力 0.4Pa  
直流電力 7kW  
ウェハ加熱温度 150℃

【0019】以上の様な第2具体例で製造した半導体装置でも、封止工程における熱処理でCuTiが配線膜13中に固溶しても、その後の恒温放置処理でCuTiが再び配線膜13の結晶粒界に偏析するので、最終製品段階で高いエレクトロマイグレーション耐性を有する半導体装置を製造することができる。

【0020】次に、第3具体例を説明する。この第3具体例は、膜厚が500nmのAl-0.3%Ti膜を下記の条件のスパッタ法で形成して配線膜13として使用するが、この配線膜13の形成以外は上述の第1及び第\*

\*2具体例と実質的に同様の工程を実行する。この様な第3具体例でも、最終製品段階で高いエレクトロマイグレーション耐性を有する半導体装置を製造することができる。

【0021】Al-Tiのスパッタ条件

ガス Ar=100sccm  
圧力 0.4Pa  
直流電力 5kW  
ウェハ加熱温度 150℃

【0022】なお、以上の第1及び第3具体例ではAlを主成分とする合金の配線膜13を使用し、第2具体例ではCuを主成分とする合金の配線膜13を使用した。が、その他に、AgやW等を主成分とする合金の配線膜を使用することもできる。そして、Agを主成分とする合金の配線膜を使用する場合は、封止工程後の恒温放置処理を200℃程度の温度で行い、Wを主成分とする合金の配線膜を使用する場合は、封止工程後の恒温放置処理を300℃程度の温度で行う。

【0023】また、以上の第1～第3具体例では、合金の配線膜13を形成するための添加物としてCu及びTiを使用したが、その他にMg、Si、Mo、Sc等を使用することもできる。

【0024】

【発明の効果】本発明による半導体装置の製造方法では、封止工程の前までで配線の結晶粒界に偏析していた添加物の化合物が封止工程における熱処理で配線中に固溶しても、この添加物の化合物が封止工程後の恒温放置処理で再び配線の結晶粒界に偏析するので、最終製品段階で高いエレクトロマイグレーション耐性を有する半導体装置を製造することができる。しかも、恒温放置処理のためには恒温槽を設置するだけでよいので、製造コストが大幅に増大することはない。

【図面の簡単な説明】

【図1】本発明の第1～第3具体例で製造する半導体装置中における配線の側断面図である。

【符号の説明】

13 配線膜  
15 配線

【図1】

